



(2,000円)

特 許 願 (20)

昭和 49 年 8 月 14 日

特許庁長官殿

1 発明の名称

シフトレジスタ
信号変換装置

2 発明者

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 松下 敏 夫

3 特許出願人

住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代 表 者 松 下 正 治

4 代 理 人

〒 571
住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 (5971) 弁理士 中 尾 敏 男
(ほか 1 名)

(連絡先 電話06-453-3111 特許分室)

5 添付書類の目録

- (1) 明 細 書
- (2) 図 面
- (3) 委 任 状
- (4) 願 書 副 本

方 式 通 知
1 1

特 許 庁

① 日本国特許庁

公開特許公報

① 特開昭 51-21466

④ 公開日 昭51.(1976) 2.20

② 特願昭 49-93692

② 出願日 昭49.(1974) 8.14

審査請求 未請求 (全3頁)

庁内整理番号

712553

⑤ 日本分類

9851F3

⑤ Int.Cl²

H03K 13/24

明 細 書

1. 発明の名称

信号変換装置

2. 特許請求の範囲

複数個のシフトレジスタを、直列入力、直列出力が可能に直列接続するかあるいは並列入力、並列出力が可能に並列接続するかをマルチプレクサによって切換えるようにすることを特徴とする信号変換装置。

3. 発明の詳細な説明

本発明はシフトレジスタを切換えて直並列変換を自由に行なうことのできる信号変換装置に関する。

従来、制御装置より並列に入出力されるシフトレジスタ中のデータを直列データに変換するなどの直並列変換は直並列変換機能を有するシフトレジスタを別に設けて行なっていた。

本発明は並列入出力されるシフトレジスタを用いて直並列変換を行なえるようにするもので、以下にその実施例について説明する。図面において

1 は直列データの入力端子、2 は直列データと並列データを表示する選択制御信号の入力端子、3 ~ 6 はそれぞれ並列データの入力端子、7 はアンドゲート、オアゲートにより構成されたマルチプレクサ、8 ~ 11 はそれぞれマルチプレクサ7 の出力端子、12 ~ 15 はシフトレジスタ、16 ~ 19 はそれぞれシフトレジスタ12 ~ 15 の出力端子、20 は並列モード時のクロックパルスの入力端子、21 は直列モード時のクロックパルスの入力端子、22 はシフトレジスタ12 ~ 15 へ加えられるクロックパルスの出力端子である。

次に動作を説明する。

1) 並列入出力の場合

マルチプレクサ7 の選択制御信号2 を "1" にすることにより入力端子3, 4, 5, 6 に加わった制御装置からの信号はマルチプレクサ7 の出力端子8, 9, 10, 11 にあらわれそれぞれシフトレジスタ12, 13, 14, 15 に入力される。同時に端子20 に加わった並列入出力のときのクロックパルスが各シフトレジスタ12, 13, 14,

15に加入される。

このようにして並列データをシフトレジスタ12, 13, 14, 15に蓄込むことができる。

シフトレジスタ12, 13, 14, 15からの出力は入力端子20にクロックパルスを入力することにより各シフトレジスタ12, 13, 14, 15の出力端子16, 17, 18, 19より順次制御装置へ取出すことが可能である。

1) 直列入出力の場合

まず並列にシフトレジスタ12, 13, 14, 15へ入力されたデータを直列出力する場合は、マルチプレクサの選択制御端子2に加わる信号を"0"にすることによりシフトレジスタ12の出力端子16をシフトレジスタ13の入力端子9, シフトレジスタ13の出力端子17をシフトレジスタ14の入力端子10に、シフトレジスタ14の出力端子18をシフトレジスタ15の入力端子11に接続することにより、シフトレジスタ12, 13, 14, 15を一列のシフトレジスタに構成する。このように構成されたシフトレジスタの出

特開 昭51-21466 (2)

力端子19から、直列入出力モード時のクロックパルスを入力端子21に加えることにより、クロックライン22にあらわれるクロックパルスによって各シフトレジスタ12, 13, 14, 15の内容は直列に出力される。

シフトレジスタへの直列入力の場合は、直列出力の場合と同様にシフトレジスタ12, 13, 14, 15を一列に構成し、直列入力端子1より入力される直列データを、端子21に加わる直列入出力モード時のクロックパルス入力によってシフトレジスタ12, 13, 14, 15へ直列入力が行なわれる。

並列入力されたデータの順序は直列出力時には保たれないが、直列出力された媒体より読出されたデータを直列入力するので、直列入力終了時には、直列出力前の状態、即ち並列入力された後の状態とシフトレジスタ12, 13, 14, 15の内容とが一致するので並列出力によって順次正しく読出すことが可能である。

上記実施例より明らかなをより本発明によれば

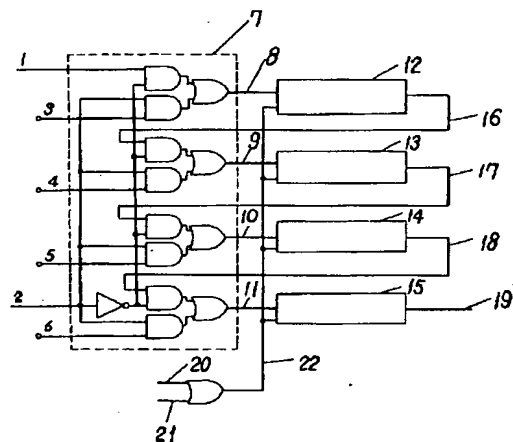
シフトレジスタの入出力データの直並列変換をマルチプレクサを用いて、シフトレジスタの接続状態を変更することによって行うことにより、従来の直並列変換レジスタを別途に用いる方法より直並列変換が簡単に行なえる特徴がある。

4、図面の簡単な説明

図面は本発明の一実施例による信号変換装置のブロック図である。

ア………マルチプレクサ、12～15………シフトレジスタ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名



6. 前記以外の代理人

住 所 大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名 (6152) 弁理士 栗 野 重 孝

昭 52 9.28

手続補正書

昭和52年7月8日

特許庁長官殿、

通

1 事件の表示

昭和49年特許願第93692号

2 発明の名称

信号変換装置

3 補正をする者

事件との関係 特許出願人
住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代 表 者 山 下 俊 彦

4 代理人

T 571
住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 (5971) 井理上 中尾敏男
(ほか1名)

5 補正の対象 (連絡先 電話(東区)437-1121 特許分室)

明細書の特許請求の範囲の補
明細書の発明の詳細な説明の補
明細書の図面の簡単な説明の補
図面

6 補正の内容

(1) 明細書を別紙の通り全文補正いたします。
(2) 図面を第2図として訂正し、別紙第1図(a)(b)
を補充します。



特許法第17条の2による補正の掲載

昭和49年特許願第93692号(特開昭

49-21466号 昭和49年7月10日

発行公開特許公報 49-21466号掲載)につ

いては特許法第17条の2による補正があったので

下記の通り掲載する。

序内整理番号

7124 13

日本分類

724 F3

明 細 書

1. 発明の名称

信号変換装置

2. 特許請求の範囲

直列入力-並列出力を可能にするかあるいは並
列入力-直列出力を可能にするかによって複数個
のシフトレジスタをマルチプレクサを介して切換
接続することを特徴とする信号変換装置。

3. 発明の詳細な説明

本発明はシフトレジスタを切換えて直並列変換
を自由に行なうことのできる信号変換装置に関す
る。

一般に、直列記憶媒体たとえばカセット磁気テ
ープ、ディスク、ドラム等を並列処理プロセッサ
に接続し、補助記憶装置として使う場合処理速度
等の関係により処理プロセッサと記憶媒体間にバ
ッファメモリを設けることがある。

従来のこの種技術例について第1図とともに説
明する。第1図において1は並列処理プロセッサ、
2はシフトレジスタをメモリとするバッファメモ

リ部、3はカセット磁気テープ等の直列記憶媒体
である。この構成においてデータの転送経路とし
て(1)プロセッサ→シフトレジスタ→直列記憶媒体、
(2)直列記憶媒体→シフトレジスタ→プロセッサの
2つがある。(1)の場合、プロセッサからのデータ
は並列信号なのでシフトレジスタへ入力するには、
並列→直列変換が必要である。(2)の場合、直列記
憶媒体より読み出された直列データはシフトレジ
スタへ入力されるが、プロセッサへは並列データ
を入力しなければならないので直列→並列変換が
必要である。

次に、第1図aの直並列変換シフトレジスタ部
を主構成要素とするバッファメモリ部2について
第1図bとともに説明する。まず(1)の場合につい
て述べる。並列処理プロセッサよりの出力データ
13は直→並、並→直変換レジスタ(以後変換レ
ジスタと略す)11へ送られる。変換レジスタ11
にラッチするにはラッチ信号16が必要であり、
これはプロセッサより出力される。変換レジスタ
11中のデータをシフトレジスタ12に格納する

には、マルチプレクサ15を変換レジスタ11モードに選択すべく選択信号21を制御し、タイミング制御部によって生成される。変換レジスタ11のシフトクロック18およびシフトレジスタ12のクロック22を入力することによって順次シフトレジスタにプロセッサよりのデータが入力される。例えば入力信号13が8ビットならば、18、22のシフトクロックは8個必要となる。かくして、シフトレジスタ12に格納されたデータは出力端子17より直列記憶媒体へ送られる。(II)の場合は直列記憶媒体よりの読出データ20はマルチプレクサ15の選択信号21によってシフトレジスタ12に入力される。シフトレジスタ12内のデータをプロセッサに読込むためには、変換レジスタ11へシフトレジスタ12の出力端子17を接続し、各々のシフトクロック18及び22を印加することによって、シフトレジスタ12のデータは変換レジスタ11に並列データとして揃う。そこで、変換レジスタ11のデータは出力信号線14よりプロセッサへ転送される。

このように、従来の方式は変換レジスタを必要とし、さらに変換レジスタのシフトクロックおよびシフトレジスタのシフトクロックを生成する必要があったため、回路が複雑になっていた。後に述べる本発明を採用することによって、変換レジスタは必要でなくなるため、並一直、直一並変換時のシフトクロック生成を不要となる。

本発明は上記従来技術において極めて簡単な構成で直並列変換を自由に行なうことのできる信号変換装置を提供するものである。

以下本発明の一実施例を第2図とともに説明する。第2図において、21は直列データモードの入力端子、22は直列データモードと並列データモードを区別する選択制御信号の入力端子、23～26はそれぞれ並列データの入力端子、27はアンドゲート、オアゲートにより構成されたマルチプレクサ、28～31はそれぞれマルチプレクサ27の出力端子、32～35はシフトレジスタ、36～39はそれぞれシフトレジスタ32～35の出力端子、40は並列モードの時のクロック

パルスの入力端子、41は直列モード時のクロックパルスの入力端子、42はシフトレジスタ32～35へ加えられるクロックパルスの出力端子である。

次に動作を説明する。

i) 並列入力直列出力の場合

マルチプレクサ27の選択制御信号22を"1"にすることにより入力端子23、24、25、26に加わった制御装置からの信号はマルチプレクサ27の出力端子28、29、30、31にそれぞれシフトレジスタ32、33、34、35に入力される。同時に端子40に加わった並列入力のときのクロックパルスが各シフトレジスタ32、33、34、35に加えられる。このようにして並列データをシフトレジスタ32、33、34、35に格込むことができる。シフトレジスタ32、33、34、35からの出力は入力端子40にクロックパルスを入力することにより各シフトレジスタ32、33、34、35の出力端子36、37、38、39より順次制御装置へ取出

すことが可能である。

ii) 直列入力並列出力の場合

まず並列にシフトレジスタ32、33、34、35へ入力されたデータを直列出力する場合は、マルチプレクサ27の選択制御端子2に加わる信号を"0"にすることによりシフトレジスタ32の出力端子36をシフトレジスタ33の入力端子39に、シフトレジスタ33の出力端子37をシフトレジスタ34の入力端子30に、シフトレジスタ34の出力端子38をシフトレジスタ35の入力端子31に接続することにより、シフトレジスタ32、33、34、35を一系列にシフトレジスタに構成する。このように構成されたシフトレジスタの出力端子39から、直列入出力モード時のクロックパルスを入力端子41に加えることにより、クロックライン42にあらわれるクロックパルスによって各シフトレジスタ32、33、34、35の内容は直列に出力される。

シフトレジスタへの直列入力の場合は、直列出力の場合と同様にシフトレジスタ32、33、34、

35を一列に構成し、直列入力端子21より入力される直列データを、端子41に加わる直列入出力モード時のクロックパルス入力によってシフトレジスタ32, 33, 34, 35へ直列入力が行なわれる。並列入力されたデータの順序は直列出力時には保たれないが、直列出力された媒体より読出されたデータを直列入力するので、直列入力終了時においては、直列出力時の状態、即ち並列入力された後の状態とシフトレジスタ12, 13, 14, 15の内容とが一致するので並列出力によって順次正しく読出すことが可能である。

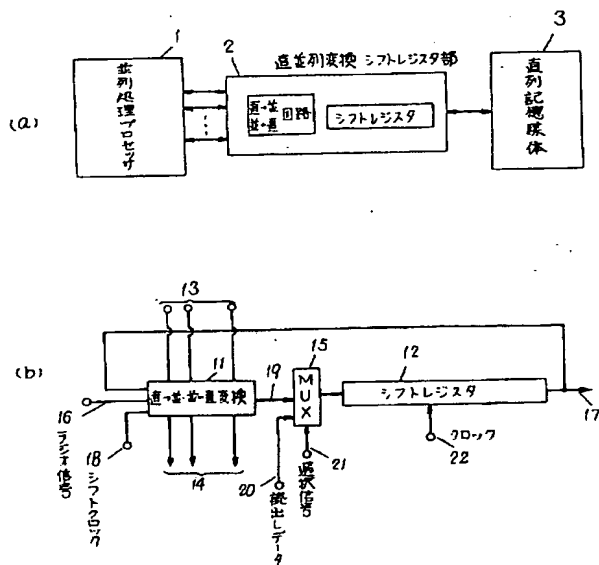
上記実施例より明らかなように本発明によればシフトレジスタの入出力データの直並列変換をマルチプレクサを用いて、シフトレジスタの接続状態を変更することによって行うことにより、従来技術のように直並列変換レジスタを別途に用いる方法より直並列変換が簡単に行なえる特徴がある。

- 4、図面の簡単な説明
第1図は従来の一実施例の信号変換装置のブロック図である。
第2図は本発明の一実施例による信号変換装置の

ブロック図である。
7……マルチプレクサ、12～15……シフトレジスタ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第2図

